

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368185

(P2002-368185A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 25/065  
25/07  
25/18

識別記号

F I

H 0 1 L 25/08

テマコード\* (参考)

Z

審査請求 未請求 請求項の数 6 O L (全 20 頁)

(21) 出願番号

特開2001-167185 (P2001-167185)

(22) 出願日

平成13年6月1日 (2001. 6. 1)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 尾山 勝彦

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(72) 発明者 遠藤 光芳

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

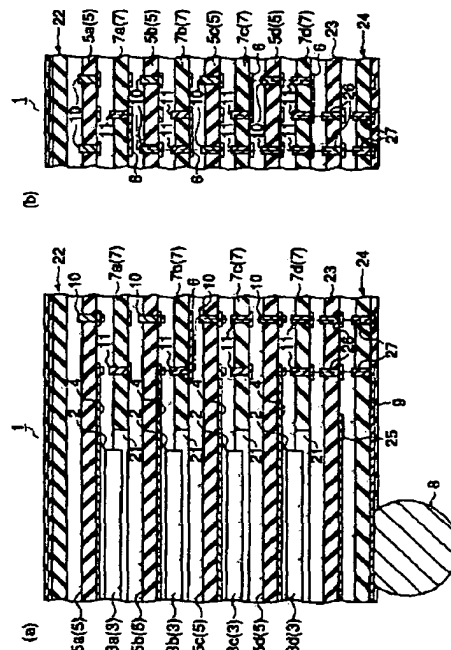
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 安価で容易に製造できる多層構造からなる半導体装置を提供する。

【解決手段】 同一パターンのチップ接続用配線4が形成された第1〜第4のPTP基板5a〜5dの上に、DRAMチップ3a〜3dを、フリップ・チップ法などを用いて搭載する。チップ搭載済みの各PTP基板5a〜5dと、互いに異なるパターンの層間接続用配線6が形成された第1〜第4の各IVH基板7a〜7dとを、それらの厚さ方向に沿って交互に積層する。それら積層済みの各PTP基板5a〜5dおよび各IVH基板7a〜7dを、その積層方向両側から表面基板22と、電源グランド基板23およびボール・レイヤー基板24とを用いて挟み、各基板に付されている位置合わせ用の印が積層方向において一致するように重ね合わせる。その後、それら重ね合わせ済みの各基板を、積層方向に沿って圧着することにより、DRAMモジュール1を製造する。



【特許請求の範囲】

【請求項1】所定の信号用端子を有する半導体チップと、  
この半導体チップがそれぞれ1個ずつ以上搭載されるとともに、該搭載された各半導体チップの前記信号用端子に電気的に接続されるチップ接続用配線が形成されており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、  
これら複数枚のチップ搭載基板の層間に挟持されて配置されるとともに、隣接する前記チップ搭載基板の前記チップ接続用配線に電気的に接続される層間接続用配線が形成されている中間基板と、  
を具備し、前記チップ接続用配線は、複数枚の前記チップ搭載基板について実質的に同一パターンに形成されているとともに、前記層間接続用配線は、複数枚の前記チップ搭載基板にそれぞれ搭載された前記半導体チップ間における信号用端子同士の電気的な接続状態、または所定の外部端子へ電気的に接続されている外部端子接続用配線と前記信号用端子との電気的な接続状態を、切り換え可能にパターン形成されていることを特徴とする半導体装置。

【請求項2】所定の信号用端子を有する半導体チップと、  
この半導体チップがそれぞれ1個ずつ以上搭載されるとともに、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基材と、  
これら各チップ搭載基材にそれらの厚さ方向に貫通して設けられる複数個のチップ接続用ビア端子と、  
前記各チップ搭載基材に形成され、前記各チップ搭載基材に搭載された前記半導体チップの前記信号用端子に電気的に接続されるチップ接続用配線と、  
前記各チップ搭載基材の積層方向に沿って、前記各チップ搭載基材と交互に配置される複数枚の中間基材と、  
これら各中間基材をそれらの厚さ方向に貫通して設けられて、一方の側に隣接する前記チップ搭載基材の前記チップ接続用配線に電気的に接続される層間接続用ビア端子と、  
この層間接続用ビア端子と、他方の側に隣接する前記チップ搭載基材の所定のチップ接続用ビア端子とを電気的に接続するように、各層ごとに所定のパターンで前記各中間基材に形成された層間接続用配線と、  
を具備することを特徴とする半導体装置。

【請求項3】前記チップ接続用ビア端子および前記チップ接続用配線は、複数枚の前記各チップ搭載基材について実質的に同一パターンに形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記中間基材をその厚さ方向に貫通して設けられて、複数枚の前記チップ搭載基材に設けられた複数個の前記チップ接続用ビア端子の対応するもの同士を厚さ方向に電気的に接続する層間接続用ビア端子を

さらに具備することを特徴とする請求項2または3に記載の半導体装置。

【請求項5】前記各半導体チップは、メモリ・チップであることを特徴とする請求項1～4のうちのいずれか1項に記載の半導体装置。

【請求項6】前記層間接続用配線は、各メモリ・チップが有している各信号用端子のうちのデータ用端子を、互いに独立して複数の外部端子接続用配線に電気的に接続するように形成されていることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップとして、例えばメモリ・チップが複数個積層された多層構造の半導体装置に関し、特に積層半導体パッケージの配線デザインに関する。

【0002】

【従来の技術】半導体チップが多層に積層された構造からなる半導体装置の中には、例えば図13に示すような積層半導体パッケージ（マルチ・チップ・パッケージ）101がある。このマルチ・チップ・パッケージ101は、半導体チップとして、例えばメモリ・チップ105が複数個積層されて構成されている。

【0003】このマルチ・チップ・パッケージ101の製造工程の概略を具体的に説明すると、まずチップ搭載基板104の上にメモリ・チップ105を1個ないし複数個（この説明においては1個とする。）、フリップチップ法などを用いて搭載する。次に、1枚の中間基板103の上に、メモリ・チップ105が搭載されたチップ搭載基板104を1枚ないし複数枚（この説明においては複数枚とする。）積層して1個のシステム・ブロック102を構成する。最後に、このシステム・ブロック102を複数個用いて多層に積層（この説明においては4個用いて4層に積層する。）した後、これをパッケージングして1個のモジュールとして形成することによりマルチ・チップ・パッケージ101は製造される。

【0004】

【発明が解決しようとする課題】一般に、各システム・ブロック102に用いられる中間基板103には、図示しない同一パターンのビアあるいは配線がそれぞれ形成される。これにより、チップ搭載基板104に搭載された複数個のメモリ・チップ105は、各システム・ブロック102ごとに一単位としてまとめられたうえでモジュール化される。

【0005】このように、複数個のメモリ・チップ105が、多層に積層される各システム・ブロック102ごとにまとめられた後モジュール化されるマルチ・チップ・パッケージ101において、例えば各システム・ブロック102ごとに互いに独立に記憶させることができるデータ量を増大させることにより、マルチ・チップ・パ

パッケージ101全体に記憶させることができるデータ量を増大せしめる。この場合、各システム・ブロック102が備えている各メモリ・チップ105が有している図示しない複数本のデータ・ピンを、各システム・ブロック102ごとに個別に図示しない外部接続端子(パンプ)まで引き出す必要がある。

【0006】前述したように、各システム・ブロック102が備えている各中間基板103に形成されるビアあるいは配線のパターンはすべて同一である。したがって、前述した方法でマルチ・チップ・パッケージ101全体に記憶させることができるデータ量を増大させるためには、各メモリ・チップ105が有している図示しないパッドから、各チップ搭載基板104をそれらの厚さ方向に沿って貫通して形成されている図示しないチップ接続用ビア(Via)端子までの間を電氣的に接続する図示しないチップ接続用配線の配線パターンを、各層の各チップ搭載基板104ごとに別々に形成しなければならなかった。

【0007】以下、図14(a)～(d)を参照しつつ、各層のメモリ・チップ105が有しているデータ・ピン106と、各層のチップ搭載基板104a～104dに形成されている第1～第4の4個のチップ接続用ビア端子107a～107d、および各層の中間基板103a～103dに形成されている第1～第4の4個の層間接続用ビア端子108a～108dとを、それぞれ電氣的に接続する配線パターンを簡潔に説明する。

【0008】図14(a)～(d)は、それぞれ第1層～第4層の各システム・ブロック102a～102dを示すものである。また、図14(a)～(d)において、内側の二点鎖線はそれぞれ第1層～第4層の各チップ搭載基板104a～104dを示し、外側の二点鎖線はそれぞれ第1層～第4層の各中間基板103a～103dを示すものとする。

【0009】各チップ搭載基板104a～104dには、それらを厚さ方向に貫通して設けられているとともに、各層のメモリ・チップ105が有している各データ・ピン106の1本ごとに、それらに選択的に電氣的に接続される第1～第4の4個のチップ接続用ビア端子107a～107dが、各層のメモリ・チップ105の搭載位置に対してそれぞれ所定の位置に設けられている。同様に、各中間基板103a～103dには、それらを厚さ方向に貫通して設けられているとともに、各層のメモリ・チップ105が有しているデータ・ピン106の1本ごとに、それらに選択的に電氣的に接続される第1～第4の4個の層間接続用ビア端子108a～108dが、それぞれ所定の位置に設けられている。これら第1～第4の各層間接続用ビア端子108a～108dは、それぞれ第1～第4の各チップ接続用ビア端子107a～107dに1対1で対応して電氣的に接続されるように設けられている。

【0010】具体的には、第1～第4の各層間接続用ビア端子108a～108dは、それぞれ第1～第4の各チップ接続用ビア端子107a～107dに、各システム・ブロック102a～102dの積層方向に沿って連続して接続されるように設けられている。これにより、各層間接続用ビア端子108a～108dは、各チップ接続用ビア端子107a～107dを介して、各データ・ピン106ごとに個別に電氣的に接続される。ただし、図14(a)～(d)において、各チップ接続用ビア端子107a～107dと、各層間接続用ビア端子108a～108dとは、それらの間の配線状態が容易に理解できるように、互いにずらして図示してある。それとともに、図14(a)～(d)において、各チップ接続用ビア端子107a～107dと、各層間接続用ビア端子108a～108dとの電氣的な接続は、それぞれ破線で示すものとする。

【0011】また、実際には、各チップ接続用ビア端子107a～107d、および各層間接続用ビア端子108a～108dは、各層のメモリ・チップ105が有しているすべてのデータ・ピン106の1本ごとにそれぞれ4個ずつ設けられている。しかし、前述した配線状態の理解のためには、1本のデータ・ピン106に対する各チップ接続用ビア端子107a～107d、および各層間接続用ビア端子108a～108dの電氣的な接続状態を説明すれば足りる。したがって、各チップ接続用ビア端子107a～107d、および各層間接続用ビア端子108a～108dはそれぞれ4個ずつだけ図示し、他は図示を省略してある。

【0012】前述したように、各層のメモリ・チップ105が有している複数本のデータ・ピン106は、それぞれ互いに独立に外部端子まで引き出す必要がある。ところが各中間基板103a～103dに形成されているビアあるいは配線は全て同一のパターンに形成されている。したがって、各層のメモリ・チップ105が有している複数本のデータ・ピン106のうち、同一のアドレスで管理されているデータの入出力が行われるデータ・ピン106aは、図14(a)～(d)に示すように、各層ごとにそれぞれ異なるチップ接続用ビア端子107a～107dに電氣的に接続される必要がある。

【0013】このため、第1層チップ搭載基板104aにおいては、図14(a)中実線で示すように、データ・ピン106aが第1チップ接続用ビア端子107aに電氣的に接続されるように、第1チップ接続用配線109aが形成されている。また、第2層のチップ搭載基板104bにおいては、図14(b)中実線で示すように、データ・ピン106aが第2チップ接続用ビア端子107bに電氣的に接続されるように、第2チップ接続用配線109bが形成されている。また、第3層のチップ搭載基板104cにおいては、図14(c)中実線で示すように、データ・ピン106aが第3チップ接続

用ビア端子107cに電氣的に接続されるように、第3チップ接続用配線109cが形成されている。さらに、第4層のチップ搭載基板104dにおいては、図14(d)中実線で示すように、データ・ピン106aが第4チップ接続用ビア端子107dに電氣的に接続されるように、第4チップ接続用配線109dが形成されている。

【0014】以上説明したように、メモリ・チップ105がそれぞれ1個ずつ搭載されているとともに、互いに異なる配線パターンが形成されたチップ搭載基板104a~104dを、同一のビアあるいは配線パターンが形成された4枚の中間基板103a~103dの上に、それぞれ複数枚ずつ搭載して第1~第4層の各システム・ブロック102a~102dを構成する。このような構成により、前述したように、各システム・ブロック102a~102dごとに互いに独立に記憶させるデータ量を増大させることができる。ひいては、マルチ・チップ・パッケージ101全体に記憶させるデータ量を増大させることができる。

【0015】前述した構成からなるマルチ・チップ・パッケージ101においては、各チップ搭載基板104a~104dのチップ接続用配線が、各層ごとに別々の配線パターンに形成されている。この場合、マルチ・チップ・パッケージ101の組み立てプロセスにおいて、各チップ搭載基板104a~104dを各層ごとに個別に管理などする必要があった。このため、マルチ・チップ・パッケージ101は、1個当たりの単価が高く、また、その製造工程も複雑になりがちなため、生産効率を向上させ難かった。すなわち、以上説明した従来構造からなるマルチ・チップ・パッケージ101はコストアップし易く、ひいてはその生産効率の低下につながっていた。

【0016】その理由の一つを具体的かつ簡潔に説明する。図13において、第1~第4層の各システム・ブロック102a~102dの第1~第4の各中間基板103a~103dの上に、メモリ・チップ105がそれぞれ1個ずつ搭載された第1~第4の各チップ搭載基板104a~104dを、それぞれ例えば200枚ずつ設けるとする。この場合、1個のマルチ・チップ・パッケージ101を製造するに際して、互いに異なる配線パターンが形成されたチップ搭載基板104a~104dをそれぞれ200枚ずつ、各層間で互いに混じり合わないよう管理しつつ、同一のビアあるいは配線パターンが形成された4枚の中間基板103a~103dの上に、各層ごとに分類して搭載しなければならない。これら合計800枚の第1~第4のチップ搭載基板104a~104dの搭載作業を行う際に、各層間において互いに1枚ずつ、合計2枚のチップ搭載基板104a~104dを搭載し間違えただけで、マルチ・チップ・パッケージ101全体は正常な動作ができなくなる。すなわち、そ

のマルチ・チップ・パッケージ101は不良品となってしまふ。

【0017】実際のマルチ・チップ・パッケージ101の製造工程において、大量生産されるマルチ・チップ・パッケージ101の全てについて、それぞれに搭載される合計800枚のチップ搭載基板104a~104dうちの2枚の搭載間違いすら起こらないように管理するために、作業員の人手や管理システム装置などを万全の体制に整えるのは極めて困難である。また、そのような方法は、設備費や人件費の増大に繋がるため、昨今の半導体業界における半導体装置の価格競争において極めて不利となる。

【0018】よって本発明の目的は、安価で容易に製造できる多層構造からなる半導体装置を提供することにある。

【0019】

【課題を解決するための手段】前記課題を解決するために、本発明に係る半導体装置は、所定の信号用端子を有する半導体チップと、この半導体チップがそれぞれ1個ずつ以上搭載されるとともに、該搭載された各半導体チップの前記信号用端子に電氣的に接続されるチップ接続用配線が形成されており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、これら複数枚のチップ搭載基板の層間に挟持されて配置されるとともに、隣接する前記チップ搭載基板の前記チップ接続用配線に電氣的に接続される層間接続用配線が形成されている中間基板と、を具備し、前記チップ接続用配線は、複数枚の前記チップ搭載基板について実質的に同一パターンに形成されているとともに、前記層間接続用配線は、複数枚の前記チップ搭載基板にそれぞれ搭載された前記半導体チップ間における信号用端子同士の電氣的な接続状態、または所定の外部端子へ電氣的に接続されている外部端子接続用配線と前記信号用端子との電氣的な接続状態を、切り換え可能にパターン形成されていることを特徴とするものである。

【0020】この半導体装置においては、中間基板に形成されている層間接続用配線によって、各半導体チップの各信号用端子同士の電氣的な接続状態あるいは非接続状態、または各信号用端子とそれぞれ複数個の外部端子へ電氣的に接続されている外部端子接続用配線との電氣的な接続状態あるいは非接続状態を、各層の各チップ搭載基板に搭載された各半導体チップごとに選択的に切り換え可能となっている。これにより、各チップ搭載基板に形成されているチップ接続用配線の配線パターンを同一化できる。

【0021】また、前記課題を解決するために、本発明に係る半導体装置は、所定の信号用端子を有する半導体チップと、この半導体チップがそれぞれ1個ずつ以上搭載されるとともに、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、これら各チップ搭載基

材にそれらの厚さ方向に貫通して設けられる複数個のチップ接続用ビア端子と、前記各チップ搭載基材に形成され、前記各チップ搭載基材に搭載された前記半導体チップの前記信号用端子に電気的に接続されるチップ接続用配線と、前記各チップ搭載基材の積層方向に沿って、前記各チップ搭載基材と交互に配置される複数枚の中間基材と、これら各中間基材をそれらの厚さ方向に貫通して設けられて、一方の側に隣接する前記チップ搭載基材の前記チップ接続用配線に電気的に接続される層間接続用ビア端子と、この層間接続用ビア端子と、他方の側に隣接する前記チップ搭載基材の所定のチップ接続用

ビア端子とを電気的に接続するように、各層ごとに所定のパターンで前記各中間基材に形成された層間接続用配線と、を具備することを特徴とするものである。  
 【0022】この半導体装置においては、層間接続用配線が、チップ接続用ビア端子と所定の層間接続用ビア端子とを電気的に接続するように、前記各層ごとに所定のパターンで前記各中間基材に形成されている。これにより、各チップ搭載基材に搭載された各半導体チップの各信号用端子を、各層ごとに所定の経路で電気的に接続できるように、選択して切り換えることができる。したがって、各チップ搭載基材に形成されているチップ接続用配線の配線パターンの種類を低減させたり、あるいは同一化させたりできる。

【0023】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0024】前記チップ接続用ビア端子および前記チップ接続用配線は、複数枚の前記各チップ搭載基材について実質的に同一パターンに形成されている。

【0025】前記中間基材をその厚さ方向に貫通して設けられて、複数枚の前記チップ搭載基材に設けられた複数個の前記チップ接続用ビア端子の対応するもの同士を厚さ方向に電気的に接続する層間接続用ビア端子をさらに具備する。

【0026】前記各半導体チップは、メモリ・チップである。

【0027】前記層間接続用配線は、各メモリ・チップが有している各信号用端子のうちのデータ用端子を、互いに独立して複数の外部端子接続用配線に電気的に接続するように形成されている。

【0028】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、複数個の半導体チップ全体の組み合わせや構成などを、より適正な状態に設定できる。これにより、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。

【0029】

【発明の実施の形態】以下、本発明の一つの実施の形態

に係る半導体装置を、図1～図12に基づいて説明する。

【0030】本実施形態の半導体装置1は、所定の信号用端子2を有する半導体チップ3と、この半導体チップ3がそれぞれ1個ずつ以上搭載されるとともに、搭載された各半導体チップ3の信号用端子2に電気的に接続されるチップ接続用配線4が形成されており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板5と、これら複数枚のチップ搭載基板5の層間に挟持されて配置されるとともに、隣接するチップ搭載基板5のチップ接続用配線4に電気的に接続される層間接続用配線6が形成されている中間基板7と、を具備し、チップ接続用配線4は、複数枚のチップ搭載基板5について実質的に同一パターンに形成されているとともに、層間接続用配線6は、複数枚のチップ搭載基板5にそれぞれ搭載された半導体チップ3間における信号用端子2同士の電気的な接続状態、または所定の外部端子8へ電気的に接続されている外部端子接続用配線9と信号用端子2との電気的な接続状態を、切り換え可能にパターン形成されていることを前提とするものである。

【0031】このような半導体装置1を、その構成的な特徴を詳しく列挙すると、所定の信号用端子2を有する半導体チップ3と、この半導体チップ3がそれぞれ1個ずつ以上搭載されるとともに、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板5と、これら各チップ搭載基板5にそれらの厚さ方向に貫通して設けられる複数個のチップ接続用ビア端子10と、各チップ搭載基板5に形成され、各チップ搭載基板5に搭載された半導体チップ3の信号用端子2に電気的に接続されるチップ接続用配線4と、各チップ搭載基板5の積層方向に沿って、各チップ搭載基板5と交互に配置される複数枚の中間基板7と、これら各中間基板7をそれらの厚さ方向に貫通して設けられて、一方の側に隣接するチップ搭載基板5のチップ接続用配線4に電気的に接続される層間接続用ビア端子11と、この層間接続用ビア端子11と、他方の側に隣接するチップ搭載基板5の所定のチップ接続用ビア端子10とを電気的に接続するように、各層ごとに所定のパターンで各中間基板7に形成された層間接続用配線6と、を具備することを特徴とする半導体装置1と表現できる。

【0032】以上、本実施形態の半導体装置1について、その特徴を簡潔に2通りの方法で説明した。それらの説明文中において、チップ搭載基板およびチップ搭載基材には同じ符号5が付してある。これらチップ搭載基板とチップ搭載基材との関係は、チップ搭載基板は、チップ搭載基材と、これに設けられているチップ接続用配線4および各チップ接続用ビア端子10とを、すべて含めたものを指すが、実質的にはチップ搭載基材そのものを指し示すと考えて差し支えない。したがって、以下の説明において、特別の断りがない限り、チップ搭載基

材に符号5を付して、このチップ搭載基材5を用いて説明するものとする。

【0033】また、中間基板および中間基材には同じ符号7が付してある。これら中間基板と中間基材との関係は、中間基板は、中間基材と、これに設けられている層間接続用配線6および各層間接続用ビア端子11とを、すべて含めたものを指すが、実質的には中間基材そのものを指し示すと考えて差し支えない。したがって、以下の説明において、特別の断りがない限り、中間基材に符号7を付して、この中間基材7を用いて説明するものとする。

【0034】また、本実施形態の半導体装置1においては、次に述べる特徴を備えるものとする。チップ接続用ビア端子およびチップ接続用配線は、複数枚の各チップ搭載基材について実質的に同一パターンに形成されている。中間基材をその厚さ方向に貫通して設けられて、複数枚のチップ搭載基材に設けられた複数個のチップ接続用ビア端子の対応するもの同士を厚さ方向に電気的に接続する層間接続用ビア端子をさらに具備する。各半導体チップは、メモリ・チップである。層間接続用配線は、各メモリ・チップが有している各信号用端子のうちのデータ用端子を、互いに独立して複数の外部端子接続用配線に電気的に接続するように形成されている。

【0035】以上述べたような特徴を備えた半導体装置1全体の説明をするのに先立って、図10を参照しつつ、半導体装置1が具備する複数個のメモリ・チップ3の個々の特徴と、それらを組み合わせて構成されたマルチ・チップ・パッケージ12の特徴について簡潔に説明する。

【0036】本実施形態のマルチ・チップ・パッケージ12には、メモリ・チップとして、例えばそれぞれ256Mビットの容量を有するDRAMチップ3を4個用いるものとする。これら各DRAMチップ3を以下の説明において、図10に示すように、それぞれM1チップ3a、M2チップ3b、M3チップ3c、M4チップ3dと称することとする。これらM1～M4の各チップ3a～3dは、後述するように、半導体装置1の第1層～第4層にそれぞれ1個ずつ配設される。

【0037】また、M1～M4の各チップ3a～3dには、データ用端子2aがそれぞれ16本ずつ設けられている。M1チップ3aに設けられている16本のデータ用端子2aには、それぞれDQ0～DQ15までの端子が予め1つずつ割り当てられている。同様に、M2チップ3bに設けられている16本のデータ用端子2aには、それぞれDQ16～DQ31までの端子が予め1つずつ割り当てられている。M3チップ3cに設けられている16本のデータ用端子2aには、それぞれDQ32～DQ47までの端子が予め1つずつ割り当てられている。M4チップ3dに設けられている16本のデータ用端子2aには、それぞれDQ48～DQ63までの端子

が予め1つずつ割り当てられている。すなわち、M1～M4の各チップ3a～3dは、半導体業界で一般に用いられている呼称方法によると、それぞれ(256M×16)と表記されるものである。本実施形態の半導体装置1においては、M1～M4の各チップ3a～3dが有している合計64本のデータ用端子2aは、DQ0～DQ63の端子を介して全て互いに独立に外部端子(バンブ)8(図10において図示せず。)に電気的に接続される設定となっている。

【0038】また、M1～M4の各チップ3a～3dには、それらの動作を制御するための信号用端子2がそれぞれ複数本(複数種類)設けられている。具体的には、M1～M4の各チップ3a～3dには、それらの読み書き動作を制御する信号が入力されるチップ・セレクト・ピン(CSピン)2b、各チップ3a～3dのうちの所定のチップ同士の動作状態を同期させる信号が入力されるクロック・イネーブル・ピン(CKEピン)2c、各チップ3a～3dにクロック信号を入力するためのクロック・ピン(CLKピン)2d、各チップ3a～3dの読み書き動作を開始する際に図示しないCPUなどからダウンエッジの信号が入力されるロウ・アドレス・ストロブ・ピン(RASピン)2e、RASピン2eに入力されるダウンエッジの信号よりも僅かに遅れたダウンエッジの信号が入力されるカラム・アドレス・ストロブ・ピン(CASピン)2f、各チップ3a～3dの読み書き動作を切り換える信号が入力されるライト・イネーブル・ピン(WEピン)2gなどがそれぞれ1本ずつ設けられている。

【0039】それら各ピン2b～2gのうち、CSピン2bは、図10に示すように、M1チップ3aおよびM2チップ3bと、M3チップ3cおよびM4チップ3dとの2組ずつに分けられてまとめられて、それぞれCS1端子13a、およびCS2端子13bを介して外部端子8に電気的に接続される設定となっている。同様に、CKEピン2cも、M1チップ3aおよびM2チップ3bと、M3チップ3cおよびM4チップ3dとの2組ずつに分けられてまとめられて、それぞれCKE1端子14a、およびCKE2端子14bを介して外部端子8に電気的に接続される設定となっている。また、CLKピン2dは、M1～M4の各チップ3a～3dの全てのCLKピン2dが1本にまとめられて、CLK0端子15を介して外部端子8に電気的に接続される設定となっている。さらに、RASピン2e、CASピン2f、およびWEピン2gは、M1～M4の各チップ3a～3dの全てのRASピン2e、CASピン2f、およびWEピン2gが各種類ごとに1本にまとめられて、それぞれRAS端子16、CAS端子17、およびWE端子18を介して外部端子8に電気的に接続される設定となっている。

【0040】さらに、M1～M4の各チップ3a～3d

には、それぞれ複数本のアドレス用端子 2h が設けられている。それら各アドレス用端子 2h は、図 10 に示すように、M1～M4 の全てのチップ 3a～3d で一つにまとめられて外部端子 8 に電氣的に接続される設定となっている。

【0041】以上説明した設定からなる、それぞれが (256M×16) と表記される M1～M4 の各チップ 3a～3d は、M1 チップ 3a および M2 チップ 3b で、(256M×32) と表記される 1 つの DRAM チップ 3 として動作する。同様に、M3 チップ 3c および M4 チップ 3d で、(256M×32) と表記される 1 つの DRAM チップ 3 として動作する。したがって、M1～M4 の各チップ 3a～3d から構成される半導体装置 1 のマルチ・チップ・パッケージ 12 は、(256M×32)×2、すなわち (512M×32) と表記される DRAM チップ 3 を 2 個組み合わせた設定となっている。また、このマルチ・チップ・パッケージ 12 は、CS1 端子 13a および CS2 端子 13b、ならびに CKE1 端子 14a および CKE2 端子 14b のそれぞれに 20 入力される信号を適宜切り換え可能に設定されている。したがって、CS1 端子 13a および CS2 端子 13b、ならびに CKE1 端子 14a および CKE2 端子 14b のそれぞれに、互いに独立に所定の状態の信号を入力することにより、M1 チップ 3a および M2 チップ 3b からなる (512M×32) と表記される DRAM チップ 3 と、M3 チップ 3c および M4 チップ 3d からなる (512M×32) と表記される DRAM チップ 3 とを同時に動作させたり、あるいは一方だけを動作させたり、またあるいは両方の動作を停止させたりできる。

【0042】また、このマルチ・チップ・パッケージ 12 は、例えば CS1 端子 13a と CS2 端子 13b とを電氣的に接続すると、パッケージ 12 全体で (1G×64) と表記される 1 つの DRAM チップ 3 として動作することが可能な構成となっている。

【0043】次に、以上説明した M1～M4 の 4 個の DRAM チップ 3a～3d から構成されるマルチ・チップ・パッケージ 12 が、前述した設定で備えられている本実施形態の半導体装置 1 を、図 1～図 12 を参照しつつ説明する。

【0044】この半導体装置 1 は、図 1 (a) および 40 (b) に示すように、M1～M4 の 4 個の DRAM チップ 3a～3d が 4 層に積層された多層構造の半導体装置であり、一般に積層半導体パッケージと呼ばれるものの中でも、マルチ・チップ・パッケージと称されるものである。さらに具体的には、この半導体装置 1 が具備している半導体チップ 3 が DRAM チップであることから、この半導体装置 1 は DRAM モジュール 1 とも称される。なお、図 2～図 9 において、外側の二点鎖線で示されている部分が、このマルチ・チップ・パッケージのパッケージの外形 20 を表す部分である。

【0045】前記多層構造を構成するために、この DRAM モジュール 1 は、M1～M4 の 4 個の DRAM チップ 3a～3d がそれぞれ 1 個ずつ以上搭載されるとともに、厚さ方向に沿って 2 層以上に積層される複数枚のチップ搭載基材 5 を具備している。本実施形態においては、チップ搭載基材 (実装基板) としての PTP (Paper Thin Package) 基板 5 は、4 層に積層されるように 4 枚用いられるとともに、それら各 PTP 基板 5 には、M1～M4 の 4 個の DRAM チップ 3a～3d がそれぞれ 1 個ずつ搭載 (実装) される。以下の説明において、第 1 層～第 4 層の各層に配置される各 PTP 基板 5 を、それぞれ第 1～第 4 の PTP 基板 5a～5d と称することとする。第 1 層に配置される第 1 PTP 基板 5a には、M1 チップ 3a が搭載される。以下、同様に、第 2 層に配置される第 2 PTP 基板 5b には、M2 チップ 3b が搭載される。第 3 層に配置される第 3 PTP 基板 5c には、M3 チップ 3c が搭載される。第 4 層に配置される第 4 PTP 基板 5d には、M4 チップ 3d が搭載される。M1～M4 の各 DRAM チップ 3a～3d は、それぞれ第 1～第 4 の各 PTP 基板 5a～5d に対して、図 2 中内側の二点鎖線で示されているチップ搭載領域 19 にフリップ・チップ法などによって搭載される。

【0046】これら 4 枚の第 1～第 4 の PTP 基板 5a～5d のそれぞれの一端面としての主面上には、図 2 に示すように、これら各 PTP 基板 5a～5d に搭載される M1～M4 の各 DRAM チップ 3a～3d の各信号用端子 2 に電氣的に接続される複数本のチップ接続用配線 4 が、すべて同一の配線パターンで形成されている。それとともに、各 PTP 基板 5a～5d には、それらを厚さ方向に貫通して設けられて、各 PTP 基板 5a～5d に搭載された各 DRAM チップ 3a～3d の各信号用端子 2 に個別に電氣的に接続される複数個のチップ接続用ビア端子 10 が形成されている。各チップ接続用ビア端子 10 と各 DRAM チップ 3a～3d の各信号用端子 2 とは、各チップ接続用配線 4 を介して電氣的に接続される。ただし、チップ接続用ビア端子 10 の中には、チップ搭載基材 5 を厚さ方向に貫通するビアを備えていないものも形成されている。図中、このように、ビアを備えておらず、ビア・ランドのみが形成されたチップ接続用ビア端子 10 は白抜き一重丸で、ビアを備えたチップ接続用ビア端子 10 は白抜き二重丸で、それぞれ示すものとする。これら各チップ接続用ビア端子 10 は、それぞれ各 PTP 基板 5a～5d の同じ所定の位置に、同じ所定の個数ずつ形成されている。したがって、本実施形態においては、第 1～第 4 の PTP 基板 5a～5d は、すべて同じ構造である。

【0047】本実施形態においては、例えば第 1 PTP 基板 5a には、M1 チップ 3a が有している DQ0～DQ15 までの 16 本のデータ用端子 (データ用ピン) 2a のそれぞれに対して、チップ接続用ビア端子 10 が

4個ずつ設けられている。また、M1チップ3aが有している1本のCSピン2bに対して、3個のチップ接続用ビア端子10が設けられている。また、M1チップ3aが有している1本のCKEピン2cに対して、3個のチップ接続用ビア端子10が設けられている。さらに、M1チップ3aが有している1本のCLKピン2dに対して、1個のチップ接続用ビア端子10が設けられている。

【0048】これら各データ用端子2a、CSピン2b、CKEピン2c、およびCLKピン2dは、それぞれ後述する所定のチップ接続用配線4を介して、所定のチップ接続用ビア端子10に電気的に接続される。また、第1～第4の各PTP基板5a～5dには、チップ接続用配線4とはチップ搭載基材5上で電気的に接続されておらず、外部端子接続用配線9と厚さ方向に沿って電気的に接続されるチップ接続用ビア端子10も多数形成されている。これらチップ接続用ビア端子10のうち、後述するように、設計段階において予め決められている、M1～M4の各DRAMチップ3a～3dの各信号用端子2と、これらが電気的に接続される外部端子接続用配線9との厚さ方向に沿った通電経路に割り当てられたチップ接続用ビア端子10が、各PTP基板5a～5dの基板本体（チップ搭載基材5）をその厚さ方向に貫通して設けられている。

【0049】第1PTP基板5aにおいては、チップ接続用ビア端子10が、16本のデータ用端子（データ用ピン）2aに対して、それぞれ4個ずつ設けられている。これに対して、1本CSピン2bおよび1本CKEピン2cに対しては、チップ接続用ビア端子10が、それぞれ3個ずつしか設けられていない。また、1本CLKピン2dに対しては、チップ接続用ビア端子10が1個しか設けられていない。これは前述したメモリ構成の設定によるものである。16本のデータ用端子（データ用ピン）2aは、すべて互いに独立に外部端子8に接続する必要があるため、それらが電気的に接続されないように、第1～第4の各層において電気的経路を切り換える必要がある。このためには、16本のデータ用端子（データ用ピン）2aに対して、チップ接続用ビア端子10をそれぞれ4個ずつ設けることが必要十分条件となる。これに対して、CSピン2bおよびCKEピン2cに対しては、チップ接続用ビア端子10が、それぞれ3個ずつしか設けられていないのは、それらが第1層と第2層、および第3層と第4層の2組にまとめられる設定となっているためである。さらに、CLKピン2dにおいては、第1～第4の各層においてすべて1つの経路にまとめられる設定となっているためである。

【0050】このように、本実施形態のDRAMモジュール1においては、所望するメモリ構成に応じて、信号の種類ごとにチップ接続用ビア端子10の数を、必要十分な個数に容易に変えて設定できる。

【0051】前述したように、M1～M4の各DRAMチップ3a～3d、および第1～第4の各PTP基板5a～5dは全て同じ構造をしている。したがって、M2～M4の各DRAMチップ3b～3dと第2～第4の各PTP基板5b～5dとの関係は、前記M1チップ3aと第1PTP基板5aとの関係を説明すれば足りる。例えば、M2チップ3bが有しているDQ16～DQ31までの16本のデータ用端子2a、M3チップ3cが有しているDQ32～DQ47までの16本のデータ用端子2a、およびM4チップ3dが有しているDQ48～DQ63までの16本のデータ用端子2aは、それぞれM1チップ3aが有しているDQ0～DQ15までの16本のデータ用端子2aに対応させて考えればよい。したがって、以下の説明においては、M1チップ3aと第1PTP基板5aとの関係について説明し、M2～M4の各DRAMチップ3b～3dと第2～第4の各PTP基板5b～5dとの関係は、その説明および図示を省略する。

【0052】また、本実施形態の半導体装置1の特徴を理解するためには、M1チップ3aと第1PTP基板5aとの関係においては、M1チップ3aが有しているDQ0～DQ15までの16本のデータ用端子2aのうちの1本、例えばDQ0データ用端子2aと、各チップ接続用ビア端子10のうち、そのDQ0データ用端子2aに対して設けられている第1～第4の4個のDQ0端子接続用ビア端子10a～10dとの関係を説明すればよい。同様に、M1チップ3aが有している1本CSピン2bと、各チップ接続用ビア端子10のうち、そのCSピン2bに対して設けられている第1～第3の3個のCSピン接続用ビア端子10e～10gとの関係を説明すればよい。また、M1チップ3aが有している1本のCKEピン2cと、各チップ接続用ビア端子10のうち、そのCKEピン2cに対して設けられている第1～第3の3個のCKEピン接続用ビア端子10h～10jとの関係を説明すればよい。さらに、M1チップ3aが有している1本のCLKピン2dと、各チップ接続用ビア端子10のうち、そのCLKピン2dに対して設けられている1個のCLKピン接続用ビア端子10kとの関係を説明すればよい。以上の各関係を説明することにより、本実施形態の半導体装置1の特徴のうち、M1チップ3aと第1PTP基板5aとの関係、ひいてはM1～M4の各DRAMチップ3a～3dと第1～第4の各PTP基板5a～5dとの関係を理解できる。

【0053】また、チップ接続用配線4についても、DQ0データ用端子2aと、第1～第4のDQ0端子接続用ビア端子10a～10dとを電気的に接続するDQ0端子接続用配線4a、CSピン2bと第1～第3のCSピン接続用ビア端子10e～10gとを電気的に接続するCSピン接続用配線4b、CKEピン2cと第1



～第3のCKEピン接続用ビア端子10h～10jとを電氣的に接続するCKEピン接続用配線4c、およびCLKピン2dとCLKピン接続用ビア端子10kとを電氣的に接続するCLKピン接続用配線4dを説明すれば足りる。

【0054】図11に示すように、本実施形態において、M1チップ3aが第1PTP基板5aに搭載された状態においては、M1チップ3aのDQ0データ用端子2aは、DQ0端子接続用配線4aを介して第2DQ0端子接続用ビア端子10bに電氣的に接続される。また、M1チップ3aのCSピン2bは、CSピン接続用配線4bを介して第2CSピン接続用ビア端子10fに電氣的に接続される。また、M1チップ3aのCKEピン2cは、CKEピン接続用配線4cを介して第1CKEピン接続用ビア端子10hに電氣的に接続される。さらに、また、M1チップ3aのCLKピン2dは、CLKピン接続用配線4dを介してCLKピン接続用ビア端子10kに電氣的に接続される。図2には、以上説明したように設定されているそれぞれの電氣的接続状態を、M1チップ3aを第1PTP基板5aに搭載して

いない状態で図示してある。

【0055】また、図11において、図面を見易くしてM1チップ3aの各信号用端子2の電氣的な接続状態を理解し易くするために、例えば第1～第4の4個のDQ0端子接続用ビア端子10a～10dのうち、基板本体(チップ搭載基材5)を厚さ方向に貫通して設けられている第1DQ0端子接続用ビア端子10a、第3DQ0端子接続用ビア端子10c、および第4DQ0端子接続用ビア端子10dについては、それらの存在を示すために、DQ0データ用端子2aから外部端子接続用配線9までの電氣的な接続に寄与していない箇所では、それらの端部(ビア・ランド)のみを図示してある。これは、第1～第3のCSピン接続用ビア端子10e～10g、第1～第3のCKEピン接続用ビア端子10h～10j、およびCLKピン接続用ビア端子10kについても同様である。また、図11において、図面を見易くするために、第1～第4の各PTP基板5a～5dや、後述する各中間基材7は、それらの図示を省略している。

【0056】次に、中間基材7について説明する。以下の説明においては、中間基材7、層間接続用ビア端子11、および層間接続用配線6を、前記第1～第4の各PTP基板5a～5d、各チップ接続用ビア端子10、および各チップ接続用配線4と同様の流れて図示しつつ説明する。

【0057】中間基材7は、図1(a)および(b)に示すように、前記第1～第4の各PTP基板5a～5dの積層方向に沿って、それらと交互に複数枚配置される。本実施形態においては、第1～第4の各層ごとに1枚ずつ、合計4枚の中間基材7が配置される。各中間基

材7は、例えばガラスクロスに樹脂を含浸させたガラスエポキシ基板などから構成され、一種の絶縁基板として形成されている。また、これら各中間基材7の中央部には、図1(a)および(b)に示すように、これら各中間基材7が各PTP基板5a～5dと交互に積層されて配置された際に、各中間基材7が各PTP基板5a～5dに搭載されているM1～M4の各DRAMチップ3a～3dと干渉し合うのを回避するための空穴、いわゆるチップ・キャビティ21が1箇所ずつ形成されている。

【0058】また、各中間基材7には、それらを厚さ方向に貫通して設けられて、各チップ搭載基材5に搭載された各半導体チップ3の各信号用端子2に電氣的に接続される複数個の層間接続用ビア端子11が形成されている。各層間接続用ビア端子11は、4枚の各中間基材7がそれぞれ隣接して配置される、第1～第4の各PTP基板5a～5dに設けられている各チップ接続用ビア端子10に対して1対1で対応するように、各チップ接続用ビア端子10と同数個ずつ各中間基材7に形成されている。ただし、チップ接続用ビア端子10の場合と同様に、ビア・ランドのみが形成された層間接続用ビア端子11も形成されており、図4～図7において、それらは白抜き一重丸で、またビアを備えたチップ接続用ビア端子10は白抜き二重丸で、それぞれ示している。

【0059】また、各層間接続用ビア端子11は、図1(a)および(b)に示すように、各PTP基板5a～5dおよび基板7の積層方向に沿って、各チップ接続用ビア端子10に対して一直線上に並ぶような所定の位置に形成されている。以上説明した構造からなる中間基材7は、一般にIVH(Interstitial Via Hall)基板7と称されている。以下の説明において、第1～第4の各PTP基板5a～5dの積層方向に沿って、それらと交互に第1層～第4層の各層に配置される各IVH基板7を、それぞれ第1～第4のIVH基板7a～7dと称することとする。

【0060】以下の説明において、第1～第4のIVH基板7a～7dに設けられている各層間接続用ビア端子11のうち、前述した第1PTP基板5aに設けられている第1～第4の4個のDQ0端子接続用ビア端子10a～10dに対応する層間接続用ビア端子11を、それぞれ第1～第4のDQ0層間接続用ビア端子11a～11dと称することとする。同様に、第1PTP基板5aに設けられている第1～第3の3個のCSピン接続用ビア端子10e～10gに対応する層間接続用ビア端子11を、それぞれ第1～第3のCSピン層間接続用ビア端子11e～11gと称することとする。また、第1PTP基板5aに設けられている第1～第3の3個のCKEピン接続用ビア端子10h～10jに対応する層間接続用ビア端子11を、それぞれ第1～第3のCKEピン層間接続用ビア端子11h～1

1 j と称することとする。また、第1 PTP基板5 aに設けられている1個のCLKピン接続用ビア端子1 0 kに対応する層間接続用ビア端子1 1を、CLKピン層間接続用ビア端子1 1 kと称することとする。

【0061】なお、DQ0層間接続用ビア端子1 1 a～1 1 dは、第1～第4のすべてのIVH基板7 a～7 dを、それらの厚さ方向に沿って貫通して設けられていても構わない。ただし、本実施形態の半導体装置1の説明においては、各信号用端子2から外部端子接続用配線9までの電気的な接続に必要な箇所のみ、第1～第4のすべてのIVH基板7 a～7 dを、それらの厚さ方向に沿って貫通して設けられており、その接続に不必要な箇所には設けられていないものとする。すなわち、本実施形態の半導体装置1の説明をする際に参照する図1、図4～図7、および図11の各図においては、前述した各チップ接続用ビア端子1 0と同様に、各信号用端子2から外部端子接続用配線9までの電気的な接続に寄与していない箇所では、それらの端部（ビア・ランド）が図示されている。これは、第1～第3のCSピン層間接続用ビア端子1 1 e～1 0 g、第1～第3のCKEピン層間接続用ビア端子1 1 h～1 1 j、およびCLKピン層間接続用ビア端子1 1 kについても同様である。一方、これらの層間接続用ビア端子1 1が、第1～第4のすべてのIVH基板7 a～7 dを、それらの厚さ方向に沿って貫通して設けられると、半導体チップ3、チップ搭載基材5、および中間基材7の組で一単位として構成されるシステム・ブロックを複数積層する際に、その積層順に対しての制約を低減することが可能となる。また、前述したチップ接続用ビア端子1 0と同様に、層間接続用ビア端子1 1も、所望するメモリ構成に応じて、信号の種類ごとにその数を設定して構わない。

【0062】第1 IVH基板7 aにおいては、図4に示すように、第2 DQ0層間接続用ビア端子1 1 bと第3 DQ0層間接続用ビア端子1 1 cとが、層間接続用配線6のうちのDQ0層間接続用配線6 aによって電気的に接続されている。また、第2 CSピン層間接続用ビア端子1 1 fと第3 CSピン層間接続用ビア端子1 1 gとが、CSピン層間接続用配線6 bによって電気的に接続されている。また、第1 CKEピン層間接続用ビア端子1 1 hと第2 CKEピン層間接続用ビア端子1 1 iとが、CKEピン層間接続用配線6 cによって電気的に接続されている。CLKピン接続用ビア端子1 0 kは1個しか設けられていないので、これに層間接続用配線6は接続されない。これは第1～第4のIVH基板7 a～7 dにおいて同じである。

【0063】第2 IVH基板7 bにおいては、図5に示すように、第2 DQ0層間接続用ビア端子1 1 bと第4 DQ0層間接続用ビア端子1 1 dとが、DQ0層間接続用配線6 aによって電気的に接続されている。ま

た、第2 CSピン層間接続用ビア端子1 1 fと第3 CSピン層間接続用ビア端子1 1 gとが、CSピン層間接続用配線6 bによって電気的に接続されている。また、第1 CKEピン層間接続用ビア端子1 1 hと第2 CKEピン層間接続用ビア端子1 1 iとが、CKEピン層間接続用配線6 cによって電気的に接続されている。

【0064】第3 IVH基板7 aにおいては、図6に示すように、第2 DQ0層間接続用ビア端子1 1 bと第1 DQ0層間接続用ビア端子1 1 aとが、DQ0層間接続用配線6 aによって電気的に接続されている。また、第2 CSピン層間接続用ビア端子1 1 fと第1 CSピン層間接続用ビア端子1 1 eとが、CSピン層間接続用配線6 bによって電気的に接続されている。また、第1 CKEピン層間接続用ビア端子1 1 hと第3 CKEピン層間接続用ビア端子1 1 jとが、CKEピン層間接続用配線6 cによって電気的に接続されている。

【0065】第4 IVH基板7 aにおいては、図7に示すように、第2 DQ0層間接続用ビア端子1 1 bは、他のDQ0層間接続用ビア端子1 1 a、1 1 c、1 1 dのいずれにも電気的に接続されていない。また、第2 CSピン層間接続用ビア端子1 1 fと第1 CSピン層間接続用ビア端子1 1 eとが、CSピン層間接続用配線6 bによって電気的に接続されている。また、第1 CKEピン層間接続用ビア端子1 1 hと第3 CKEピン層間接続用ビア端子1 1 jとが、CKEピン層間接続用配線6 cによって電気的に接続されている。

【0066】以上説明したように構成されている第1～第4の各IVH基板7 a～7 dを、図1 (a) および (b) に示すように、第1～第4の各PTP基板5 a～5 dに対して、それらの積層方向に沿って交互に配置する。これにより、図11に示すように、4層構造からなるDRAMモジュール1の主要部分が組み立てられる。この状態において、各DRAMチップ3 a～3 dの各信号用端子2は、図1 (a) および (b) 中破線、あるいは一点鎖線で示すように、各層の各端子ごとに独立に、所定の配線状態で外部端子8まで電気的に接続される。

【0067】以下、図12 (a)～(d)を参照しつつ、第1～第4の各層のDRAMチップ3 a～3 dが有しているDQ0データ用端子2 aと、各層の第1～第4のPTP基板5 a～5 dおよび第1～第4のIVH基板7 a～7 dとを電気的に接続する配線パターンを簡潔に説明する。

【0068】図12 (a)～(d)は、それぞれ本実施形態のDRAMモジュール1の第1層～第4層の構成を簡潔に示すものである。これら図12 (a)～(d)において、内側の二点鎖線はそれぞれ第1層～第4層の各PTP基板5 a～5 dを示し、外側の二点鎖線はそれぞれ第1層～第4層の各IVH基板7 a～7 dを示すもの

とする。また、図12(a)～(d)において、各PTP基板5a～5dと各1VH基板7a～7dとは、第1～第4のDQ0端子接続用ビア端子10a～10dと第1～第4のDQ0層間接続用ビア端子11a～11dとの間の配線状態が容易に理解できるように、互いにずらして図示してある。さらに、図12(a)～(d)において、各DQ0端子接続用ビア端子10a～10dと各第1～第4のDQ0層間接続用ビア端子11a～11dとの間の積層方向に沿った電気的な接続は、それぞれ破線で示してある。

【0069】本実施形態のDRAMモジュール1においては、図12(a)～(d)に示すように、第1～第4の各層において、各層のDRAMチップ3a～3dが有しているDQ0データ用端子2aは、各層のPTP基板5a～5d上にすべて同一の配線パターンに形成されているDQ0端子接続用配線4aを介して、すべて第2DQ0端子接続用ビア端子10bに電気的に接続されている。また、各層の第2DQ0端子接続用ビア端子10bは、積層方向に沿って連続するように設けられている第2DQ0層間接続用ビア端子11bに電気的に接続されている。これらに対して、各層の第2DQ0層間接続用ビア端子11bは、第4層を除いて、各層ごとに互いに異なる他のDQ0層間接続用ビア端子11に電気的に接続されている。

【0070】具体的には、第1層の第2DQ0層間接続用ビア端子11bは、DQ0層間接続用配線6aを介して、第3DQ0層間接続用ビア端子11cに電気的に接続されている。また、第2層の第2DQ0層間接続用ビア端子11bは、DQ0層間接続用配線6aを介して、第4DQ0層間接続用ビア端子11dに電気的に接続されている。また、第3層の第2DQ0層間接続用ビア端子11bは、DQ0層間接続用配線6aを介して、第1DQ0層間接続用ビア端子11aに電気的に接続されている。そして、第4層の第2DQ0層間接続用ビア端子11bだけは、DQ0層間接続用配線6aを介すことなく、そのまま図示しない外部端子8に向けて延出されている。

【0071】すなわち、第1層～第4層の各1VH基板7a～7dにおいては、DQ0層間接続用配線6aの配線パターンが、各層ごとに異なった形状に形成されていることにより、第1層～第4層の各PTP基板5a～5d上に形成されているDQ0端子接続用配線4aの配線パターンがすべて同一パターンに形成されていても、第1～第4の各層のDRAMチップ3a～3dが有しているDQ0データ用端子2aをすべて互いに独立に別々の外部端子8に電気的に接続できる。

【0072】また、例えば、各信号用端子2のうち、各層のCSピン2bは、図1(b)においてそれらの図示は省略するが、各層の第1～第4の各1VH基板7a～7dに3個並べて配置されたように図示されている層間

接続用ビア端子11のうち、中央の層間接続用ビア端子11に電気的に接続されている。これにより、各層のCSピン2bは、図1(b)中破線、あるいは一点鎖線で示すように、第1層と第2層、および第3層と第4層との2組ずつに分けられてまとめられて、外部端子8に電気的に接続される構成となっている。これにより、本実施形態のDRAMモジュール1においては、前述したように、各DRAMチップ3a～3dの各CSピン2bが、M1チップ3aおよびM2チップ3bと、M3チップ3cおよびM4チップ3dとの2組ずつに分けられてまとめられて、それぞれCS1端子13a、およびCS2端子13bを介して外部端子8に電気的に接続される設定条件を満たした構成に形成されていることが分かる。本実施形態のDRAMモジュール1によれば、図11に示すように、その他の各信号用端子2についても、前述したメモリ構成条件を満たすことができることが分かる。

【0073】また、本実施形態のDRAMモジュール1には、図1(a)および(b)に示すように、その積層方向の一方の側である上側(表面側)に、図3に示すような構造からなる第0層基板としての表面基板22が1枚設けられている。この表面基板22は、図1(a)に示すように、絶縁材料から3層構造に形成されており、DRAMモジュール1の短絡などを防止しているとともに、DRAMモジュール1の内部構造、特に4個のDRAMチップ3a～3dを外側から与えられる衝撃から保護する役割を兼ねている。

【0074】また、本実施形態のDRAMモジュール1には、その積層方向の他方の側である下側(裏面側)に、第5層基板としての電源グランド基板23、および第6層基板としてのボール・レイヤー基板24がそれぞれ1枚ずつ設けられている。電源グランド基板23には、図8に示すように、前述した各チップ接続用配線4および各層間接続用配線6よりも表面積が極めて広く形成されている複数本の電源グランド用配線25が、それぞれ所定の配線パターン形成されている。また、電源グランド基板23には、図1(a)および(b)に示すように、それらを厚さ方向に貫通して設けられるとともに、前述した各DRAMチップ3a～3dの各信号用端子2を後述する外部端子接続用配線9に電気的に接続する電源グランド基板ビア端子26が複数個、本実施形態においては前述した各チップ接続用ビア端子10や各層間接続用ビア端子11と略同数個設けられている。各電源グランド用配線25は、各チップ接続用配線4および各層間接続用配線6よりも表面積が極めて広く形成されていることにより、DRAMモジュール1の内部に生じる電気的ノイズを効果的に抑制または除去できる。

【0075】なお、M1～M4の各DRAMチップ3a～3dの各信号用端子2のうち、電源グランド基板ビ

ア端子26を介して電源グランド用配線25に電氣的に接続されているもの以外の信号用端子2は、単に電源グランド基板ビア端子26のみに接続されることによって、積層方向に沿った通電経路が確保されている。

【0076】ボール・レイヤー基板24には、図9に示すように、各DRAMチップ3a~3dの各信号用端子2を、所定の配線状態で外部端子8に電氣的に接続する複数本の外部端子接続用配線9が、それぞれ所定の配線パターンで形成されている。また、ボール・レイヤー基板24には、図1(a)および(b)に示すように、それらを厚さ方向に貫通して設けられるとともに、各外部端子接続用配線9に電氣的に接続されて形成されていることにより、前述した各DRAMチップ3a~3dの各信号用端子2を後述する外部端子8に電氣的に接続する外部端子接続用ビア端子27が複数個、本実施形態においては前述した各チップ接続用ビア端子10や各層間接続用ビア端子11と略同数個設けられている。これらの各外部端子接続用配線9は、図1(a)に示すように、ボール・レイヤー基板24の裏面側に複数個(図1(a)においては1個のみ図示する。)設けられている外部端子8に電氣的に接続されている。各DRAMチップ3a~3dの各信号用端子2は、例えば図11に示すように、DRAMモジュール1の内部において所定の配線状態に設定されて、各外部端子8に電氣的に接続される。

【0077】なお、図1、図11、および図12において、図示されている半導体チップ3の形状が異なっているが、これは各図が示す本実施形態の特徴をより理解し易くするために意図的に異なる形状に描いたためであって、本発明の要旨に何ら不都合な影響を及ぼすものではない。本発明を実施するに際し、半導体チップ3としては様々な種類、形状、および構造のものを使用することができる。また同様に、従来技術の説明も含めて、本明細書の内容を説明する際に用いた図1、および図12~図14の各図において、各チップ搭載基材5に搭載する各半導体チップ3の向きや姿勢、ならびにこれら各チップ搭載基材5および各半導体チップ3に対する各中間基材7の向きや姿勢も、前記各図に示されている通りの状態には限られない。本発明の要旨に不都合な影響を及ぼすものでない限り、本発明を実施するに際し、様々な向きや姿勢を取り得ることができる。

【0078】次に、このDRAMモジュール1の製造工程の一例の概略を具体的に説明する。まず第1~第4の各PTP基板5a~5dの上に、それぞれに対応するM1~M2の各DRAMチップ3a~3dを、フリップ・チップ法などを用いて搭載する。次に、チップ搭載済みの各PTP基板5a~5dと、それらに対応する第1~第4の各IVH基板7a~7dとを、それらの厚さ方向に沿って交互に積層する。続けて、それら積層済みの各PTP基板5a~5dおよび各IVH基板7a~7d

を、その積層方向両側から表面基板22と、電源グランド基板23およびボール・レイヤー基板24とを用いて挟み、各PTP基板5a~5d、各IVH基板7a~7d、表面基板22、電源グランド基板23、ボール・レイヤー基板24のそれぞれに付されている位置合わせ用の印30が積層方向において一致するように重ね合わせる。この際、表面基板22、各PTP基板5a~5d、各IVH基板7a~7d、電源グランド基板23、およびボール・レイヤー基板24の各基板の間に、適宜接着剤などを設けても構わない。その後、それら重ね合わせ済みの各PTP基板5a~5d、各IVH基板7a~7d、表面基板22、電源グランド基板23、ボール・レイヤー基板24を、それらの積層方向に沿って圧着することにより、DRAMモジュール1を製造する。

【0079】以上説明した本発明の一実施形態に係る半導体装置1によれば、各DRAMチップ3a~3dの各信号用端子2の積層方向に沿った通電経路を、各IVH基板7a~7dに形成されている層間接続用配線6によって、各信号用端子2ごとに、また、各層の各DRAMチップ3a~3dごとに所定の経路に設定できるので、チップ搭載基材5の配線パターンをすべて同一パターンにできる。したがって、搭載する半導体チップ3の個数や、メモリ構成に応じて、各PTP基板5a~5dに形成されているチップ接続用配線4の配線パターンを同一パターンに保持したまま、それらに対して交互に配置される各IVH基板7a~7dの層間接続用配線6の配線パターンを変更することで対応可能である。これにより、半導体装置1の各信号用端子2同士の電氣的な接続状態、あるいは各信号用端子2と外部端子8との間の電氣的な接続状態(通電経路)を適宜、選択的に適正な状態に切り換えるように設定できる。したがって、本発明の半導体装置1によれば、チップ搭載基材5の配線パターンを各層ごとに異なったパターンに形成することなく、中間基材7の配線パターンを変更したり、他の配線パターンの中間基材7に交換したり、あるいは異なる配線パターンの中間基材7を組み合わせ使用したりするだけで、様々な構成や機能を有する半導体装置1として形成可能である。

【0080】このような特徴を有する本発明の半導体装置1によれば、安価で容易に製造できる多層構造からなる半導体装置を提供できる。以下、その理由の一つの具体例を簡潔に述べる。

【0081】前述した従来技術に係るマルチ・チップ・パッケージ101全体の製造工程において、設計および形成しなければならない配線パターンは、第1~第4の各中間基板103a~103dに共通したものを1種類と、第1~第4の各チップ搭載基材104a~104dごとにそれぞれ1種類ずつ、の合計5種類である。また、前述したように、従来技術に係るマルチ・チップ・パッケージ101を図示した図13において、第1~

第4層の各システム・ブロック102a~102dの第1~第4の各中間基板103a~103dの上に、メモリ・チップ105がそれぞれ1個ずつ搭載された第1~第4の各チップ搭載基板104a~104dを、それぞれ例えば200枚ずつ設けるとする。この場合、1個のマルチ・チップ・パッケージ101を製造するに際して、互いに異なる配線パターンが形成されたチップ搭載基板104a~104dをそれぞれ200枚ずつ、各層間で互いに混じり合わないよう管理しつつ、同一の配線パターンが形成された4枚の中間基板103a~103dの上に、各層ごとに分類して搭載しなければならない。

【0082】これに対して、同じ4層構造からなる、本発明に係るDRAMモジュール1およびその製造方法においては、第1~第4の各PTP基板5a~5dのすべてに共通の配線パターンを1種類と、第1~第4の各1VH基板7a~7dごとに異なる配線パターンを4種類、の合計5種類の配線パターンを形成する。つまり、配線パターンの種類の数だけでは、従来技術のマルチ・チップ・パッケージ101と同じである。

【0083】ここで、このDRAMモジュール1において、第1~第4の各1VH基板7a~7dに対応する（積層される）、半導体チップ3を搭載済みの第1~第4の各PTP基板5a~5dの枚数を、従来技術のマルチ・チップ・パッケージ101と同様に200枚ずつとする。すると、従来技術のマルチ・チップ・パッケージ101を製造する際においては、互いに異なる配線パターンが形成されたチップ搭載基板104a~104dをそれぞれ200枚ずつ、各層間で互いに混じり合わないよう管理しつつ、同一の配線パターンが形成された4枚の中間基板103a~103dの上に、各層ごとに分類して搭載しなければならないはずである、合計800枚の本実施形態の半導体チップ3を搭載済みの各PTP基板5a~5dを、本発明においては、第1~第4の各層ごとに管理する必要がない。この結果、各1VH基板7a~7dに対する各PTP基板5a~5dの搭載の誤りによる不良品の発生率を極めて効果的に低減して、DRAMモジュール1の製造過程における歩留まりを極めて効果的に向上できるとともに、製造工程における作業も簡素化できる。したがって、DRAMモジュール1の生産効率を飛躍的に向上できるとともに、その製造を容易に行うことができる。

【0084】また、従来技術のマルチ・チップ・パッケージ101において、200枚ずつ4種類作ら必要があった合計800枚のチップ搭載基板104a~104dを、本発明においては、合計800枚の第1~第4の各PTP基板5a~5dのすべてについて、同一パターンの配線を形成すればよい。この結果、DRAMモジュール1の1個当たりの製造コストを極めて効果的に低減できる。

【0085】以上説明した本発明の半導体装置1の効果は、その積層数や搭載される半導体チップ3の数が多くなれば多くなる程、より効果的である。

【0086】なお、本発明に係る半導体装置は、前述した一つの実施の形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の構成の一部を、種々様々な状態に組み合わせて設定できる。

【0087】例えば、搭載される半導体チップ3の性能、種類、機能、形状、および構成や、チップ搭載基材5および中間基材7の積層数や、中間基材7に対するチップ搭載基材5の搭載枚数や、チップ搭載基材5に対する半導体チップ3の搭載枚数および搭載方法や、半導体チップ3、チップ搭載基材5、および中間基材7のそれぞれの間における配線パターン、ひいては半導体装置1全体（回路全体）の配線パターンや、あるいは半導体装置1全体の内部構成などは、所望する半導体装置1の性能や機能などに応じて、適宜、適正に設計して製造できる。

【0088】また、例えば、1個の半導体装置1の内部にロジック・チップとメモリ・チップとを混在させて搭載したり、1枚のチップ搭載基材5に対して2枚の中間基材7を重ね合わせて積層したり、本来必要な枚数の中間基材7以外に、半導体装置1全体の機能に干渉しない配線が形成された、いわゆるダミーの中間基材7を配置して、このダミー用中間基材7をヒューズとして機能させたり、あるいはこのダミー用中間基材7から、ロジック・チップが搭載された他のロジック・ボードに配線を接続したりするなど、種々様々な状態に組み合わせて設定できる。

【0089】

【発明の効果】本発明に係る半導体装置によれば、各チップ搭載基板に形成されているチップ接続用配線の配線パターンの種類を低減させたり、あるいは同一化させたりできる。したがって、本発明に係る半導体装置は安価であるとともに、その製造が容易である。

【0090】また、本発明に係る半導体装置を実施するにあたり、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。したがって、本発明に係る半導体装置は、より安価、かつ、より容易に製造できる。

【図面の簡単な説明】

【図1】（a）は、本発明の一実施形態に係る半導体装置の半導体チップおよびデータ・ピンの付近を示す断面図。（b）は、本発明の一実施形態に係る半導体装置のチップ・セクタ・ピンの付近を示す断面図。

【図2】図1の半導体装置が備えるチップ搭載基板をチップ接続用配線が形成されている側から臨んで示す平面図。

【図3】図1の半導体装置が備える表面基板を下方から

臨んで示す平面図。

【図4】図1の半導体装置が備える第1中間基板を層間接続用配線が形成されている側から臨んで示す平面図。

【図5】図1の半導体装置が備える第2中間基板を層間接続用配線が形成されている側から臨んで示す平面図。

【図6】図1の半導体装置が備える第3中間基板を層間接続用配線が形成されている側から臨んで示す平面図。

【図7】図1の半導体装置が備える第4中間基板を層間接続用配線が形成されている側から臨んで示す平面図。

【図8】図1の半導体装置が備える電源グランド基板を電源グランド用配線が形成されている側から臨んで示す平面図。

【図9】図1の半導体装置が備えるボール・レイヤー基板を外部端子接続用配線が形成されている側から臨んで示す平面図。

【図10】図1の半導体装置が備えるメモリ・チップの全体の構成を模式的に示すブロック図。

【図11】図1の半導体装置が備える各メモリ・チップが有している各信号用端子の配線状態を簡略して示す斜視図。

【図12】(a)は、図1の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第1中間基板の接続状態を簡略化して示す平面図。(b)は、図1の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第2中間基板の接続状態を簡略化して示す平面図。

(c)は、図1の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第3中間基板の接続状態を簡略化して示す平面図。(d)は、図1の半導体装置が備える\*

\*るメモリ・チップ、チップ搭載基板、および第4中間基板の接続状態を簡略化して示す平面図。

【図13】従来の技術に係る多層構造の半導体装置である、積層半導体パッケージを組み立て前の状態で各層ごとに分解して示す平面図。

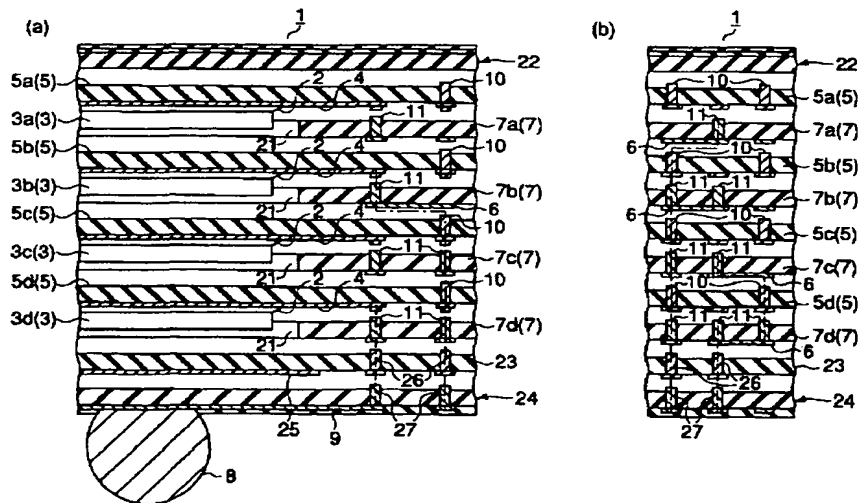
【図14】(a)は、図13の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第1中間基板の接続状態を簡略化して示す平面図。(b)は、図13の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第2中間基板の接続状態を簡略化して示す平面図。

(c)は、図13の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第3中間基板の接続状態を簡略化して示す平面図。(d)は、図13の半導体装置が備えるメモリ・チップ、チップ搭載基板、および第4中間基板の接続状態を簡略化して示す平面図。

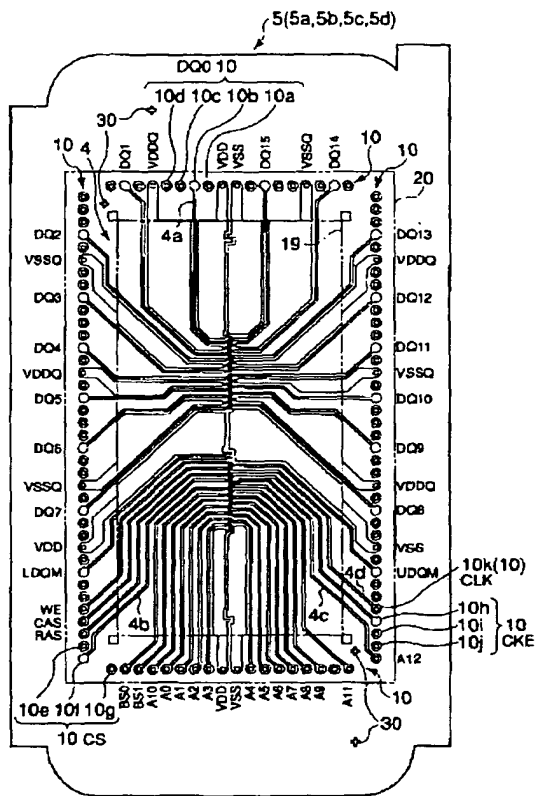
【符号の説明】

- 1…DRAMモジュール(半導体装置)
- 2, 2a~2g…信号用端子
- 3, 3a~3d…DRAMチップ(メモリ・チップ、半導体チップ)
- 4, 4a~4d…チップ接続用配線
- 5, 5a~5d…PTP基板(チップ搭載基板)
- 6, 6a~6c…層間接続用配線
- 7, 7a~7d…LVH基板(中間基板)
- 8…外部端子
- 9…外部端子接続用配線
- 10, 10a~10k…チップ接続用ビア端子
- 11, 11a~11k…層間接続用ビア端子

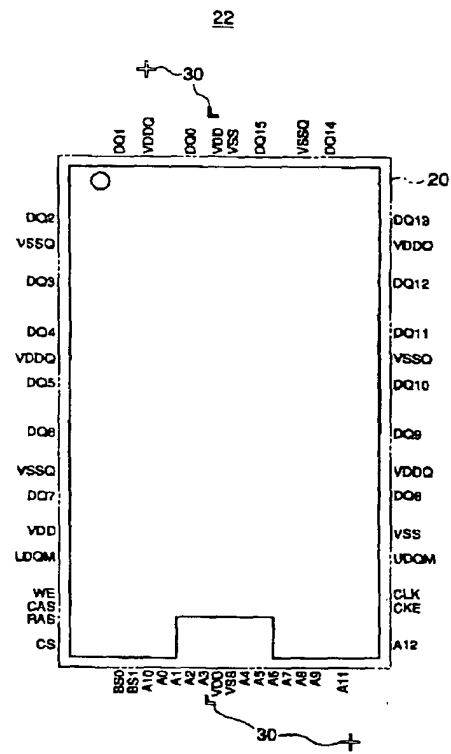
【図1】



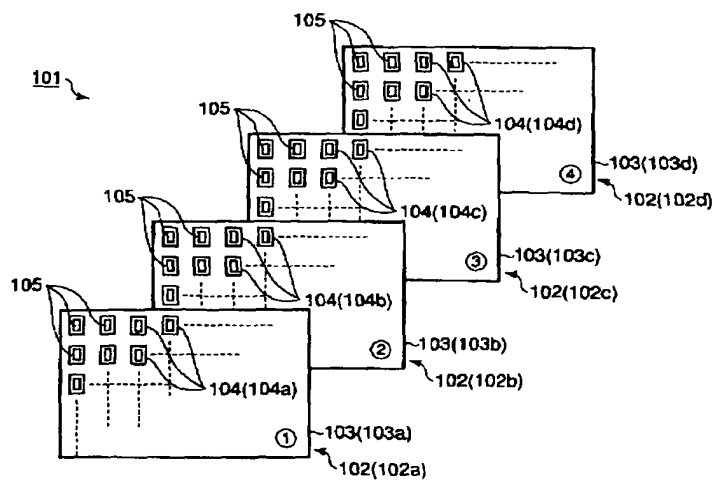
【圖2】



【圖 3】



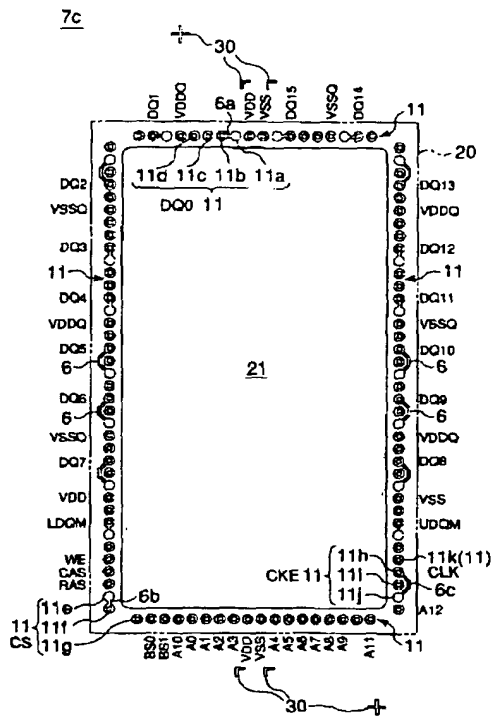
【圖 13】



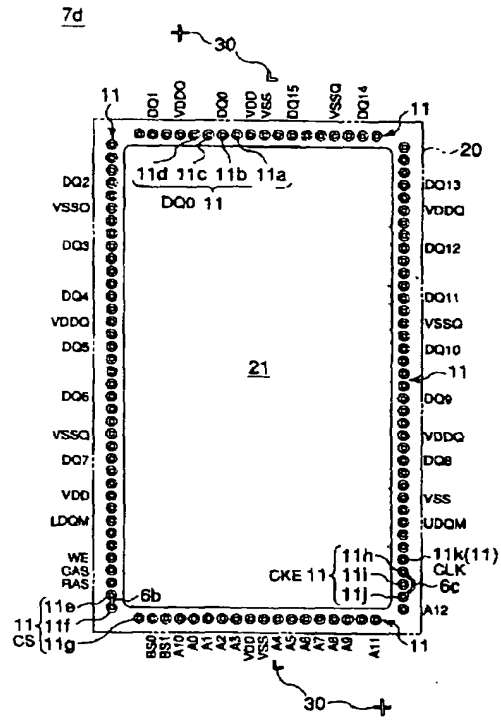




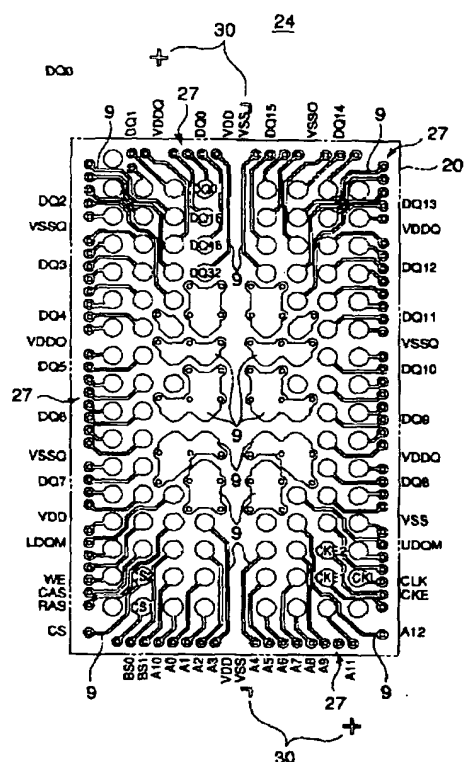
【図6】



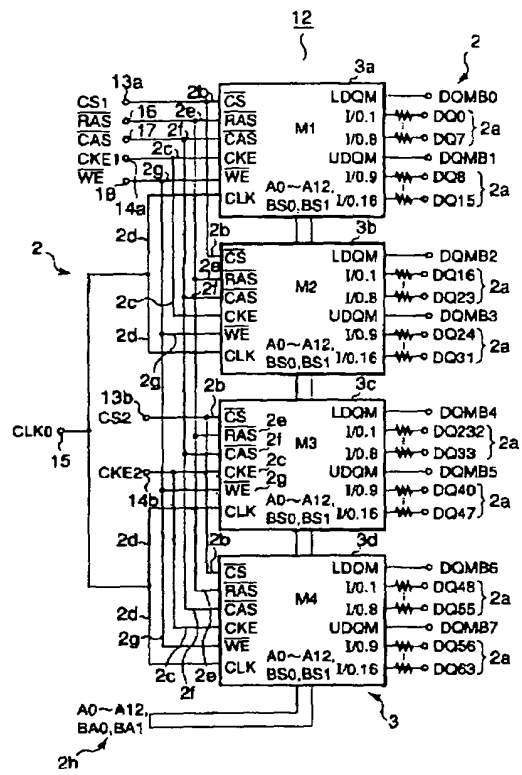
【図7】



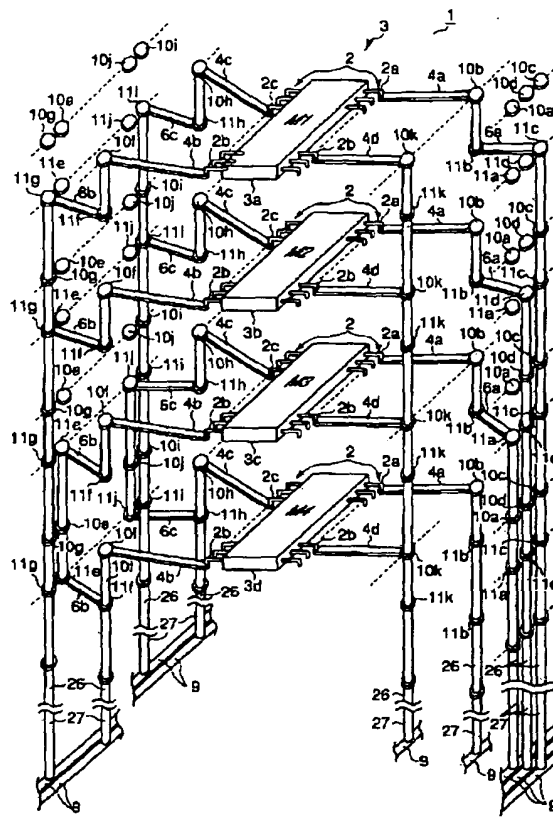
【圖9】



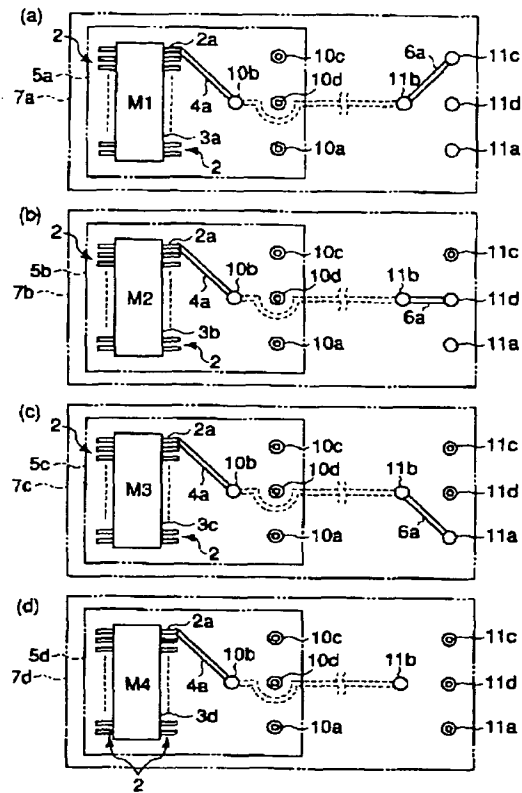
【図10】



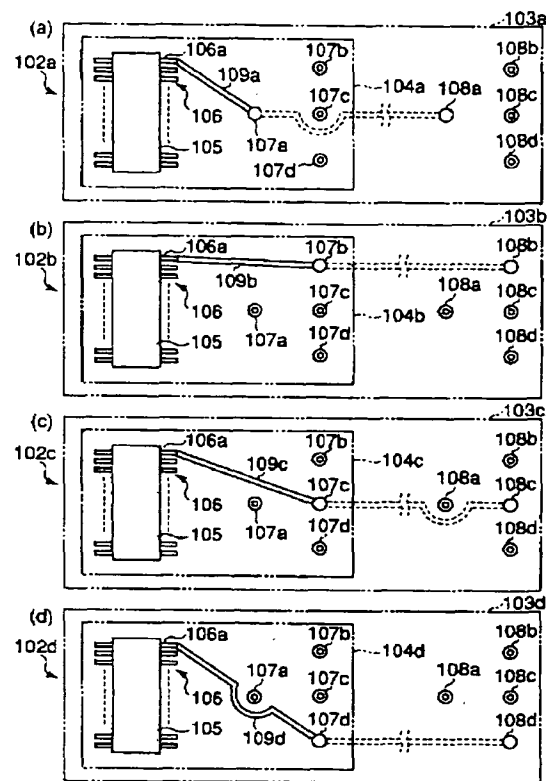
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 田窪 知章  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(72)発明者 山崎 尚  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(72)発明者 井本 孝志  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内